

- For more records, click the Records link at page end.
- To change the format of selected records, select format and click **Display Selected**.
- To print/save clean copies of selected records from browser click **Print/Save Selected**.
- To have records sent as hardcopy or via email, click **Send Results**.

☒ **Select All**☒ **Clear Selections****Print/Save Selected****Send Results****Display Selected****Format**

Full ▼

1. ☐ 2/9/1

04488574 SEMICONDUCTOR DEVICE

PUB. No.: 06-132474 [J P 6132474 A]^s**Published:** May 13, 1994 (19940513)**Inventor:** YAMADA HIROSHI

SAITO MASAYUKI

Applicant: TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP (Japan)**Application No.:** 04-061636 [JP 9261636]**Filed:** March 18, 1992 (19920318)**International Class:** 5] H01L-025/065; H01L-025/07; H01L-025/18**JAPIO Class:** 42.2 (ELECTRONICS -- Solid State Components); 14.2 (ORGANIC CHEMISTRY -- High Polymer Molecular Compounds)**Journal:** Section: E, Section No. 1590, Vol. 18, No. 425, Pg. 34, August 09, 1994 (19940809)**ABSTRACT**

PURPOSE: To realize highly reliable high density mounting on a wiring board by employing multistage or laminar flip-chip mounting of semiconductor chips.

CONSTITUTION: A first semiconductor chip 5a having a first bump electrode 6a is placed on a bonding pad 8a. A second semiconductor chip 5b having a second bump electrode 6b and flip-chip mounting the first semiconductor chip 5a while opposing active element regions 7a, 7b forming faces each other on the surface thereof is placed on a bonding pad 8b. Furthermore, a third semiconductor chip 5c having a third bump electrode 6c and flip-chip mounting the second semiconductor chip 5b while opposing active element regions 7b, 7c forming faces each other on the surface thereof is placed on a bonding pad 8c. The semiconductor device is constituted in multilayer of three or more layers. This constitution reduces wiring board area required for mounting greatly as compared with the overall planar area of the semiconductor chips 5a-5c.

JAPIO (Dialog® File 347): (c) 1999 JPO & JAPIO. All rights reserved.

☒ **Select All**☒ **Clear Selections****Print/Save Selected****Send Results****Display Selected****Format**

Full ▼

(19) Japan Patent Office

(12) Patent Release (A)

(11) Patent Application Release

Hei.6 (1994)-132474

(43) Release Date: May 13, 1994

(51) Int.Cl ⁵	Identification No.	Agency Control No.	F1 Technology Indicator	Location
H 0 1 L 25/065				
25/07				
25/18				

H 0 1 L 25/ 08 B

Examination Request: Not yet requested
Items in Application: 1 (Total 7 pages)

(21) Application No. Patent Application Hei.4(1992)-61636

(22) Application date: March 18, 1992

(71) Applicant: 000003078
Toshiba Corp.
72 Horikawa-cho, Saiwai-ku
Kawasaki-shi, Kanagawa Prefecture [Japan]

(72) Inventor: Hiroshi Yamada
c/o Toshiba General Laboratory, Ltd.
#1 Komukai-Toshiba-cho, Saiwai-ku
Kawasaki-shi, Kanagawa Prefecture [Japan]

(72) Inventor: Masayuki Saito
[same address]

(74) Agent: Saichi Suyama, Patent attorney

(54) Name of Invention: Semiconductor Device

(57) Summary

Purpose: The purpose is to provide a semiconductor device made up to enable high-density and highly reliable mounting

on a wiring board (circuit board).

Makeup: It is made up of three or more tiers and characterized by being equipped with a first semiconductor chip 5a which has a first bump electrode 6a on bonding pad 8a, with a second semiconductor chip 5b which has a second bump electrode 6b that is higher than the combined thickness of the above-noted first semiconductor chip 5a on bonding pad 8b plus first bump electrode 6a and that flip-chip mounts at least one first semiconductor chip 5a facing the forming surface of active-element regions 7a and 7b on the surface created by second bump electrode 5b, and being equipped with a third semiconductor chip 5c that has a third bump electrode 6c which is higher than the combined thickness of the above-noted second semiconductor chip 5b on bonding pad 8c plus the height of second bump electrode 6b and that flip-mounts at least one second semiconductor chip 5b facing the forming surface of active-element regions 7b and 7c on the surface formed by third bump electrode 6c.

Scope of Patent Application

Application Item 1: A semiconductor device characterized by being equipped with *

- A first semiconductor chip having a first bump electrode on its bonding pad,
- A second semiconductor chip that has a second bump electrode that is higher than the total thickness of the above-noted first semiconductor on the bonding pad plus the height of the first bump electrode and that flip-chip mounts at least one of the first semiconductor chip facing the active-element regions on the surface formed by the second bump electrode, and
- A third semiconductor chip that has a third bump electrode higher than the total thickness of the above-noted second semiconductor chip on the bonding pad plus the height of the second bump electrode and flip-mounts at least one of the second semiconductor chip facing the forming surface of the active-element regions on the surface formed by the third bump electrode.

Detailed Explanation of Invention

0001 Field for Commercial Utilization: This invention bears on a semiconductor device and, in particular, relates to semiconductor device made up so as to be capable of mounting multiple semiconductor chips with high density on

a wiring board surface.

*[Bullets added by translator to facilitate reading.]

0002 Usual Technology: In recent years, semiconductor devices (semiconductor chips or semiconductor elements) have been tending toward higher integration, and demands are rising for the high-density mounting of this kind of semi-conductor device on wiring boards. A number of methods have been proposed for high-density mounting semiconductor devices on wiring boards, while lately the flip-chip mounting method has mainly been practiced. That is because, compared to wire bonding or TAB mounting, flip-chip mounting can mount semiconductor chips very densely. I.e., when semiconductor chips are mounted by wire-bond mounting or TAB mounting, the surface area occupied by the leads drawn from the semiconductor chips requires two or three times the area of the semiconductor chips. Contrarily, with flip-chip mounting, the mounting area of the semiconductor chips matches the semiconductor chips' area, and the semi-conductor chips can be mounted adjoining each other. So, compared to flip-chip mounting, wire-bond mounting or TAB mounting gives some 1/2 to 1/3 of the mounting area to the semiconductor chip and puts limits on making them high density.

0003 Since the above-noted flip-chip mounting is so-called plane mounting, it limits both mounting density and the wiring board surface, and so also limits the density of mounting. In the face of such problems, what has been proposed, such as described in the Proceedings of IMC 90, are such means as laminating the tape carriers of TAB mounting or mounting semiconductor chips three dimensionally or, as described on page 76 of EP&P 1990, the device of arraying semiconductor chips laterally and mounting them three dimensionally.

0004 Problems the Invention Seeks to Resolve: Still, in the case of the above-noted three-dimensional mounting, when mounting semiconductor chips whose size is not identical, as with memory chips for instance or chips of non-uniform shapes, there is the problem of not being able to attain the high density mounting sought.

0005 On the other hand, as shown in cross section in Figure 6, people are trying to mount semiconductor chips of differing sizes with a multi-stepped mounting arrangement. I.e., with semiconductor chips 1a, 1b and 1c

whose sizes differ, people are trying out a makeup in which second bonding pads 2a, 2b and 2c are installed on their under sides and semi-conductor chips 1a, 1b and 1c are mounted in multiple steps on wiring substrate 3 via bonding pads 2a, 2b and 2c. However, this makeup makes it difficult to install second bonding pads 2a, 2b and 2c on the under sides of semi-conductor chips 1a, 1b and 1c. Moreover, if holes are drilled in semiconductor chips 1a, 1b and 1c for use in installing second bonding pads 2a, 2b and 2c, that requires a drilling process for the above-noted holes. In any case, with the makeup illustrated in the Figure 6, there is the problem that it increases costs.

0006. Further, as shown in cross section in Figure 7, people are trying laminated arrays in multiple tiers. I.e., the makeup is being adopted of mounting semiconductor chips 1a, 1b and 1c of differing sizes in successive tiers on the surface of the required wiring board with their active-element region surfaces as the upper surface and connecting them electrically with wire bonding 4 between each. Yet, in this makeup they can easily have inadequate heat radiation because each is mounted on the other chip's active-element region surface--the heat-generating surface of semiconductor 1a, 1b or 1c--causing the problem from the performance aspect of undercutting reliability. This invention has taken into account these problems and aims to provide semiconductor devices made up on wiring substrates (circuit substrates) so as to be capable of high-density and highly reliable mounting.

0007 Means to Resolve Problems: The semiconductor device from this invention is characterized by being equipped with
a first semiconductor chip having a first bump electrode on its bonding pad,

a second semiconductor chip having a second bump electrode that is higher than the total of the thickness of the above-noted first semiconductor on the bonding pad and the height of the first bump electrode and that flip-chip mounts at least one of the first semiconductor chip facing the active-element regions on the surface formed by the second bump electrode, and

a third semiconductor chip having a third bump electrode higher than the total thickness of the above-noted second semiconductor chip on the bonding pad and the height of the second bump electrode, and flip-mounts at least one of the second semiconductor chip facing the surface for forming the active-element regions on the surface formed by the

third bump electrode.

0008 In the makeup of the above-noted semiconductor device we adopted a more multi-tiered arrangement wherein the third semiconductor chip corresponding to the above makeup, is flip-chip mounted on a fourth semiconductor chip and like-wise a fourth semiconductor chip may be flip-chip mounted on a fifth semiconductor chip's surface. As it also makes possible adding on at least one chip resistance, chip condenser, thin-film resistance, thin-film condenser or the like on the surface of the semiconductor chips making up this semiconductor device, this is desirable from such aspects as making the circuitry compact.

0009 Effects: As we have adopted a makeup with the semiconductor device from this invention that flip-chip mounts semiconductor chips in multiple tiers or by lamination, we can easily achieve high-density mounting in the makeup of mounted-circuit devices compared to the flip-chip mounting usually done. I.e., since the wiring substrate area needed in mounting semiconductor devices is much reduced compared to the total surface of semiconductor chips forming the above-noted semiconductor device, high-density mounting can be achieved. Moreover, since one need not install bonding on the under side of the semiconductor chip, not only is its makeup simplified but it also yields highly reliable performance when making up mounted circuit devices due to its preserving and exhibiting good radiation traits.

0010 Application Examples: While referring to Figures 1, 2(a)-(j), 3, 4 and 5, we will explain an application example of this invention.

0011 Figure 1 is a cross-sectional diagram of an example of the main configuration of the semiconductor device from this invention. In Figure 1, 3 is a wiring substrate mounting semiconductor device 5 from this invention, with this device 5 being made up as follows. It is given a structure whereby a first semiconductor chip 5a has a first bump electrode 6a on its bonding pad; a second semiconductor chip 5b has a second bump electrode 6b higher than the sum of the thickness of the above-noted first semiconductor 5a on the bonding pad and the height of the first bump electrode 6a and flip-chip mounts at least one of first semiconductor chip 5a facing the active-element regions 7a and 7b on the surface formed by second bump electrode 6b; and a third semiconductor chip 5c has a third

bump electrode 6c higher than the sum of the thickness of above-noted second semiconductor chip 5b on the bonding pad and the height of second bump electrode 6b and flip-mounts at least one of second semiconductor chip 5b facing the surface for forming the active-element regions 7b and 7c on the surface formed by the third bump electrode 6c.

0012 Semiconductor device 5 with the above-noted structure is readily manufactured by the following means. Figures 2(a)~(j) are a typical case of an application mode for manufacturing semiconductor device 5. First, one prepares second semiconductor chip 5b for which bonding pad 8b has formed a region from which part of a passivation film has been removed, and then one exposes the bonding pad 8b surface and installs on that forming surface a resin layer 9b made, e.g. of polyimide. Forming this polyimide resin layer 9b is done, for instance, by spin-coating the entire surface with polyimide precursor UR-3140 (Toyo Rayon, brand name), exposing it to light and developing it with developer solution DV505 (Toyo Rayon brand name). Then, after opening the bonding pad surface, one heats it at some 400EC to convert polyimide precursor UR-3140 proof into polyimide. [Fig. 2(a)]

0013 Next, after forming an Al/Ti layer by vapor deposition on polyimide resin layer 9b formed as noted above, one spin-coats etching resist OFPR-800 (Tokyo Ohka Company) on that Al/Ti layer, prebakes, exposes and develops in succession to form the etching-resist pattern attached to above-noted bonding pad 8b. After doing that, one selectively etches the aluminum in a mixed solution of phosphoric acid, acetic acid and nitric acid, and etches the tin with EDTA/ NH_3 / H_2O_2 to remove the OFPR-800 layer constituting the above-noted etching-resist pattern and form second wiring pattern 10b. [Fig. 2(b)]

0014 In the same manner as the above-noted case, one forms polyimide resin layer 9c on the surface formed by above-noted second wiring pattern 10b and removes the part corresponding to second bonding pad 11a. [Fig. 2(c)]. On the surface where above-noted polyimide resin layer was formed one forms Ti/Cu layer 12, for instance by vapor deposition. [Fig. 2(d)] Next, one spin-coats thick resist layer AZ 4903 (made by Hoescht-Japan) on the above-noted Ti/Cu layer 12 to form resist layer 13 some 500Fm thick. One then exposes and develops it and forms 80Fm opening 14, 20Fm smaller on a side than the 100Fm opening of bonding

pad 9b. [Fig. 2(e)] After doing the masking, one immerses it in a solution of copper sulfate 250g/l and sulfuric acid (rel. wt. 1.84) at 50g/l, setting the temperature at 25EC. We then make above- noted Ti/Cu layer 12 the cathode and high purity Cu the anode, apply a current density of $5A/dm^2$ and gently stir to plate copper 450Fm thick. After that, one uses a plating solution of all-tin 40g/l, primary tin 35g/l, lead 44g/l, free boracic acid 40g/l, boracic acid 25g/l and gelatin glue 3.0g/l, apply a current density of $3.2A/dm^2$ with above-noted Ti/Cu layer 12 as the cathode and 40% tin as the anode and gently stirs to continuously plate a 50Fm thick alloy of tin/lead = 40/60 [Fig. 2(f)], thus forming second bump 6b.

0015 After forming second bump 6b as above and using acetone, for instance, to dissolve away thick resist AZ 4903 layer 13 which had constituted the plating resist film [Fig. 2(g), one makes the above-noted tin/lead (second bump) 6b the etching mask and uses a solution of ammonium persulfate/ sulfuric acid/ethanol to etch the above-noted exposed copper layer. One then proceeds to etch the exposed tin layer with a solution of EDTA, ammonia and hydrogen peroxide and then uses acetone to dissolve away resist OFPR layer 9c [Fig. 2(h)]

0016 Meanwhile, first semiconductor chip 5a also has been made by steps corresponding to the above. I.e., we prepare first semiconductor chip 5a for which bonding pad 8a was formed on the region of passivation film from which part had been removed. Here, first semiconductor chip 5a has a size and shape that can be contained and arranged within above- noted second semiconductor chip 5b's bump electrode 6b region. Polyimide resin layer 9a exposing the surface of bonding pad 8a is installed on the surface of this bonding pad of first semiconductor chip 5a, and a Cu/Ti layer is formed by vapor deposition on the surface of this polyimide resin layer 9b. Then thick resist AZ 4903 (made by Hoescht Japan) is spin-coated on the surface of above-noted Cu/Ti layer to form a resist layer some 50Fm thick. One exposes and develops this and in the region corresponding to above- noted bonding pad 8a's 80Fm opening one makes a 20Fm smaller opening of 60Fm. After doing the masking this way, one immerses it in a solution of copper sulfate 250g/l and sulfuric acid (1.84 rel. wt.) 59g/l, sets the temperature at 25EC, using the above-noted Ti/Cu layer as the cathode and high purity copper as the anode, and impresses a current density of $5A/dm^2$ while gently

stirring so as to plate 40Fm of copper. After that one uses a plating solution of all-tin 40g/l, primary tin 35g/l, lead 44g/l, free boracic acid 40g/l, boracic acid 25g/l and gelatin glue 3.0g/l, applies a current density of 3.2A/dm^2 with above-noted Ti/Cu layer as the cathode and 40% tin as the anode and gently stirs to continuously plate a 10Fm thick tin/lead = 40/60 alloy and so form the required bump electrode 6a.

0017 After forming bump electrode 6a as noted above, one dissolves away thick resist AZ 4903 layer, for instance with acetone, using as an etching mask the above-noted tin/lead (first bump) 6a in etching the above-noted exposed copper layer in a solution of ammonium persulfate/sulfuric acid/ ethanol, and then proceeds to etch the above-noted exposed tin layer in a solution of EDTA, ammonia and hydrogen peroxide and then dissolves away with acetone the OFPR layer to attain first semiconductor chip 5a.

0018 Further, in line with the fabricating process for above-noted first and second semiconductor chips 5a and 5b, one fabricates third semiconductor chip 5c. In the makeup of this third semiconductor chip 5c, its size and shape are what can array and contain above-noted second semiconductor chip 5b within the region of protruding bump electrode 6c. Also, third bonding pad 11b is formed to be connected to above-noted second semiconductor chip 5b's bump electrode 6b on the surface of its active-element region 7c. The height of above-noted protruding bump electrode 6c is set at a height enabling it to contain above-noted semiconductor chip 5b within the region of bump electrode 6c; i.e., it is greater than the total thickness of second semiconductor chip 5b and its bump electrode 6b.

0019 Next, while keeping first semiconductor chip 5a in a face-down relationship to second semiconductor chip 5b, one uses a Huffmiller [Assumed from Japanese phonetics -- translator] on second semiconductor chip 5b's second bonding pad 11a to match up first semiconductor chip 5a's bump electrode 6a with second semiconductor chip 5b wherein needed second bonding pad 11a and bump electrode 6b are installed on above-noted active-element region 7b and connected to bump electrode 6a and second bonding pad 11a. In this process a eutectic solder layer is interposed in advance on the surface where above-noted bump electrode 6a and second bonding pad 11a make contact; and the above-noted operations are done while holding first semiconductor chip 5a in a collet that has a heating device attached. Now

with above- noted first semiconductor chip 5a's bump electrode 6a and second semiconductor chip 5b's second bonding pad 11a in contact, both are connected electrically by heating to some 280EC in, for instance, a nitrogen atmosphere. [Fig. 2(i)]

0020 After flip-chip mounting first semiconductor chip 5a on second semiconductor chip 5b as above, we proceed to flip-chip mount third semiconductor chip 5c [Fig. 2(j)] in accordance with the above-noted mounting approach for first and second semiconductor chips 5a and 5b, so making up the semiconductor device from this invention.

0021 In the above-noted makeup, mounting a semiconductor device with 1st semiconductor chip 5a set at 3mm, 2nd semiconductor chip 5b at 4mm, and 3rd semiconductor chip 5c at 5mm and mounted on the wiring substrate surface improves mounting density by five times compared to a mounting-circuit device made up by the wire bonding method and improves it by four times compared to such a device made up by the TAB method. Furthermore, when we evaluated the semiconductor device's heat resistance, it was 20EC/W with natural cooling for the 5mm, showing twice the radiation characteristics of the 40EC/W case made up by laminating with the wire-bonding method (See Figure 7). Also, for the mounted-circuit device with flip-chip mounting shown in Figure 1, the results of doing temperature-cycle tests (1000 cycles) of -55EC (30 min)~25EC (5 min)~150EC (30 min)~25EC (5 min) showed no connection resistance increase, indicating high reliability for the performance aspect also.

0022 Figure 3 shows a cross section of the main parts of a different example of the semiconductor device from this invention. This configuration adopts a format whereby CCD chip 15a is mounted in the region of driver IC 15b's bump electrode 16b on the surface of glass substrate 3' instead of on a wiring substrate, and CCD chip 15a and driver IC 15b are each flip-chip mounted. In the case of this semiconductor device, because optical signals received through glass substrate 3' can be controlled by driver IC 15b, electronic equipment can be made more compact compared to the usual configurations using, e.g., flexible substrates.

0023 Figure 4 shows obliquely the main parts of still

another semiconductor device from this invention. In this configuration, multiple first semiconductor chips 5a are mounted on the surface of third semiconductor chip 5c. In Figure 4, 8c is a third bonding pad on which third bump electrode 6c is installed on its upper surface; 11b is a second bonding pad on which second semiconductor chip 5b's bump electrode 6b is connected. With this makeup semiconductor chips can be given high density in the semiconductor device, and one can easily mount on third semiconductor chip 5c's surface such items as chip resistors, chip condensers, thin-film resistors and thin-film condensers.

0024 Figure 5 shows obliquely the main parts of a different case of a semiconductor device from this invention. In this case, for instance, first semiconductor chip 5a is flip-chip mounted crossways on the surface of third semiconductor chip 5c. I.e., with semiconductor chips from this invention one can adopt configurations that flip-chip mount parts with any orientation (not making their orientation uniform) depending on the shape of semiconductor chips 5a, 5b or 5c (without being limited by the semiconductor chips' shapes).

0025 Also, this invention is not confined to the above-noted application examples, but can be applied to variations within a scope not extending beyond its main aspects. For example, besides a copper form of the bump electrodes, such other materials as Au, Pd, Pt and Ni are fine, too, for the electroplating when forming bump electrodes; and the cathode need not be limited to Cu/Ti for the electrically conductive layer. Moreover, the number of semiconductor chips mounted in multiple tiers of course is not limited to the number in the above-noted example.

0026 **Effectiveness of Invention** Because it can use the wiring substrate surface three dimensionally, the semiconductor device from this invention makes it possible to achieve a circuit of high mounting density compared to the usual case that configures a semiconductor-mounting circuit by flip-chip mounting. Also, achieving this high density does not require operations as complex as the previously known methods and can attain electrical connections of high reliability even while affording good radiation traits, so that one can easily devise configurations for devices mounting circuits with high density.

Simple explanation of Figures

Figure 1 Cross-sectional diagram illustrating an example of the main makeup of a semiconductor device from this invention.

Figure 2 Shows a typical example of an applied form for fabricating the semiconductor device from this invention, showing in cross-sectional diagrams --

- (a) an insulating layer formed on the semiconductor device's surface,
- (b) a wiring pattern been formed on the insulating layer,
- (c) the second bonding pad having been formed,
- (d) a conductive layer formed for plating,
- (e) the patterning of a plating-resist film,
- (f) a bump electrode formed by plating,
- (g) the plating-resist film having been removed,
- (h) the second bonding pad formed,
- (i) the first semiconductor chip flip-chip mounted on the surface of second semiconductor chip, and
- (j) the semiconductor device.

Figure 3 A cross-sectional diagram showing an example of the main components of another semiconductor device from this invention.

Figure 4 A cross-sectional diagram of still another example of the main components of a semiconductor device from this invention.

Figure 5 A cross-sectional diagram of a different example of the main components of a semiconductor device from this invention.

Figure 6 A cross-sectional diagram showing the mounting of the usual semiconductor device on the surface of the wiring substrate.

Figure 7 A cross-sectional diagram showing another form of the usual semiconductor device mounted on the surface of the wiring substrate.

Explanation of Keying Symbols

- 1a, b, c Semiconductor chips
- 2a, b, c Bonding pads
- 3 Wiring substrate
- 3' Glass substrate

4 Bonding wire
5 Semiconductor device
5a First semiconductor chip
5b Second semiconductor chip
5c Third semiconductor chip
6a First bump electrode
6b Second bump electrode
6c Third bump electrode
7a, b, c Active-element regions
8a, b, c Bonding pads
9a, b, c Polyimide resin layer
10a Wiring pattern
11a, b Second bonding pad
12 Ti/Cu layer
13 Resist layer
14 Opening
15a CCD chip
15b Driver IC
16a Bump electrode of CCD chip
16b Bump electrode of driver IC

Procedural Amendment

Date presented: Oct. 20, 1993

Procedural amendment 1

Document subject to amendment: Figures

Item subject to amendment: All figures

Amendment method: Change

Substance of amendment: [Amended figures are on page 7 of original. --Translator]

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H 0 1 L 25/065

25/07

25/18

H 0 1 L 25/ 08

B

審査請求 未請求 請求項の数1(全 7 頁)

(21)出願番号 特願平4-61636

(22)出願日 平成4年(1992)3月18日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 山田 浩

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝総合研究所内

(72)発明者 斉藤 雅之

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝総合研究所内

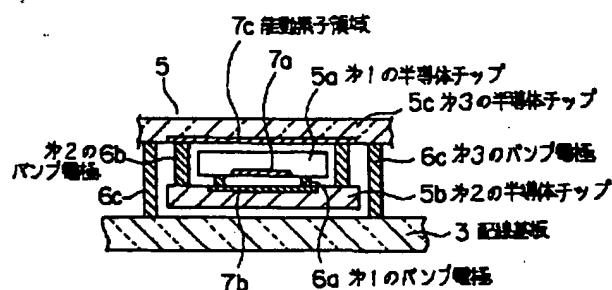
(74)代理人 弁理士 須山 佐一

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 配線基板(回路基板)に、高密度かつ信頼性の高い実装が可能に構成された半導体装置の提供を目的とする。

【構成】 ボンディングパッド8a上に第1のバンパ電極6aを有する第1の半導体チップ5aと、ボンディングパッド8b上に前記第1の半導体チップ5aの厚および第1のバンパ電極6aの高さの和よりも高い第2のバンパ電極6bを有し、かつ第2のバンパ電極5bが形成された面上において互いに能動素子領域7a, 7b形成面を対向させて少なくとも1個の第1の半導体チップ5aをフリップチップ実装した第2の半導体チップ5bと、ボンディングパッド8c上に前記第2の半導体チップ5bの厚および第2のバンパ電極6bの高さの和よりも高い第3のバンパ電極6cを有し、かつ第3のバンパ電極6cが形成された面上において互いに能動素子領域7b, 7c形成面を対向させて少なくとも1個の第2の半導体チップ5bをフリップ実装する第3の半導体チップ5cとを具備してなることを特徴し、3層以上の多層型に構成されている。



【特許請求の範囲】

【請求項1】 ボンディングパッド上に第1のバンパ電極を有する第1の半導体チップと、ボンディングパッド上に前記第1の半導体チップの厚および第1のバンパ電極の高さとの和よりも高い第2のバンパ電極を有し、かつ第2のバンパ電極が形成された面上において互いに能動素子領域形成面を対向させて少なくとも1個の第1の半導体チップをフリップチップ実装した第2の半導体チップと、ボンディングパッド上に前記第2の半導体チップの厚および第2のバンパ電極の高さとの和よりも高い第3のバンパ電極を有し、かつ第3のバンパ電極が形成された面上において互いに能動素子領域形成面を対向させて少なくとも1個の第2の半導体チップをフリップ実装した第3の半導体チップとを具備してなることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置に係り、特に複数の半導体チップを高密度に配線基板面への実装を可能に構成した半導体装置に関する。

【0002】

【従来の技術】半導体装置（半導体チップもしくは半導体素子）は近年高集積化の方向にあり、またこの種の半導体装置を高密度に配線基板へ実装する要求も高まっている。そして、半導体装置を配線基板面へ、高密度に実装する手段として、様々な方法も提案されているが、最近は主にフリップチップ実装方法が行われている。フリップチップ実装は、ワイヤーボンディング実装やTAB実装に比較して、半導体チップを高密度に実装できるからである。すなわち、ワイヤーボンディング実装やTAB実装によって、半導体チップを実装した場合は、半導体チップから引き出されるリードの占める面積が、半導体チップの2～3倍の面積を必要とする。一方、フリップチップ実装の場合、半導体チップの実装面積は半導体チップの面積で足り、半導体チップを互いに隣接した上体で実装し得る。したがって、フリップチップ実装に比較すると、ワイヤーボンディング実装やTAB実装は半導体チップの実装面積が1/2～1/3程度となり、高密度化の限界をなしている。

【0003】ところで、前記フリップチップ実装は、いわゆる平面実装であるため、実装密度も配線基板面から制約を受け、実装の高密度化にも限界がある。このような問題に対して、たとえばIMC 90 Proceedingに記載されているごとく、TAB実装のテープキャリアを積層して、半導体チップを3次元に実装する手段、あるいはEP & P 1990 p76に記載されているように、半導体チップを縦方向に並べて3次元的に実装する手段が提案されている。

【0004】

【発明が解決しようとする課題】しかしながら、前記3

次元（的）実装の場合は、たとえばメモリチップのように実装する半導体チップのサイズが同一でなかったり、あるいは形状が不均一であったりすると、目的に沿った実装の高密度化を達成し得ないという問題がある。

【0005】一方、サイズの異なる半導体チップを、図6に断面的に示すごとく多段的に実装する構成も試みられている。すなわち、サイズの異なる各半導体チップ1a, 1b, 1cについて、それぞれ能動素子領域面のボンディングパッドから裏面側に配線を引き出し、裏面に第2のボンディングパッド2a, 2b, 2cを設け、これら第2のボンディングパッド2a, 2b, 2cを介して、配線基板3面に各半導体チップ1a, 1b, 1cを多段的に実装した構成を採っている。しかし、この構成においては、半導体チップ1a, 1b, 1cの裏面に、第2のボンディングパッド2a, 2b, 2cを設けることが困難であり、また半導体チップ1a, 1b, 1cに孔を穿設し、この孔を利用して第2のボンディングパッド2a, 2b, 2cを設けるとしても、前記孔の穿設工程を要する。いずれにしても、この図6に図示した構成の場合は、コストアップとなるなど問題がある。

【0006】さらに、サイズの異なる半導体チップを、図7に断面的に示すごとく多段的に積層・配置する構成も試みられている。すなわち、サイズの異なる各半導体チップ1a, 1b, 1cを、能動素子領域面を上面として所要の配線基板3面に、順次積層的にマウントするとともに、相互の間をワイヤーボンディング4により電気的に接続して実装した構成を採っている。しかし、この構成においては、半導体チップ1a, 1b, 1cの発熱面をなす能動素子領域面上に他の半導体チップがマウントされるため、放熱が不十分となり易く機能面での信頼性が損なわれるという問題がある。本発明は以上の問題点に鑑みてなされたもので、配線基板（回路基板）に、高密度かつ信頼性の高い実装が可能に構成された半導体装置の提供を目的とする。

【0007】

【課題を解決するための手段】本発明に係る半導体装置は、ボンディングパッド上に第1のバンパ電極を有する第1の半導体チップと、ボンディングパッド上に前記第1の半導体チップの厚および第1のバンパ電極の高さとの和よりも高い第2のバンパ電極を有し、かつ第2のバンパ電極が形成された面上において互いに能動素子領域形成面を対向させて少なくとも1個の第1の半導体チップをフリップチップ実装した第2の半導体チップと、ボンディングパッド上に前記第2の半導体チップの厚および第2のバンパ電極の高さとの和よりも高い第3のバンパ電極を有し、かつ第3のバンパ電極が形成された面上において互いに能動素子領域形成面を対向させて少なくとも1個の第2の半導体チップをフリップチップ実装する第3の半導体チップとを具備してなることを特徴とする。

【0008】前記半導体装置の構成においては、上記に準じた構成を成す第3の半導体チップを第4の半導体チ

ップ面にフリップチップ実装し、同様に第4の半導体チップを第5の半導体チップ面にフリップチップ実装ごとく、さらに多層的な配置の構成も採り得る。そして、この半導体装置を構成する半導体チップ面に、たとえばチップ抵抗、チップコンデンサ、薄膜抵抗、薄膜コンデンサなどの、少なくとも1種を付設しておくことも可能で、こうしたことは回路構成のコンパクト化などの点から好ましい。

【0009】

【作用】本発明に係る半導体装置によれば、半導体チップを多段的ないし積層的にフリップチップ実装した構成を採るため、通常行われているフリップチップ実装の場合に比べて、実装回路装置の構成において高密度実装を容易に達成し得る。すなわち、半導体装置の実装に要する配線基板面積は、前記半導体装置を形成する半導体チップの平面的な全面積に比べて大幅に低減するため、高密度実装化を実現できる。しかも、半導体チップの裏面にボンディングパッドを設ける必要もないので、構成も簡略化するばかりでなく、良好な放熱性を保持・発揮するので実装回路装置を構成したときも、信頼性の高い機能を呈する。

【0010】

【実施例】以下、図1、図2(a)～(j)、図3、図4および図5を参照して本発明の実施例を説明する。

【0011】図1は本発明に係る半導体装置の要部構成例の断面図である。この図1において、3は本発明に係る半導体装置5を実装した配線基板で、前記半導体装置5は、次のように構成されている。すなわち、ボンディングパッド上に第1のバンパ電極6aを有する第1の半導体チップ5a、ボンディングパッド上に前記第1の半導体チップ5aの厚および第1のバンパ電極6a高さの和よりも高い第2のバンパ電極6bを有し、かつ第2のバンパ電極6bが形成された面（面上）において互いに能動素子領域7a、7b形成面を対向させて、前記第1の半導体チップ5aをフリップチップ実装した第2の半導体チップ5b、ボンディングパッド上に前記第2の半導体チップ5bの厚および第2のバンパ電極6b高さの和よりも高い第3のバンパ電極6cを有し、かつ第3のバンパ電極6cが形成された領域内において互いに能動素子領域7b、7c形成面を対向させて、前記第2の半導体チップ5bをフリップチップ実装した第3の半導体チップ5cとを具備した構成を成している。

【0012】そして、前記構成の半導体装置5は、次のような手段によって容易に製造し得る。図2(a)～(j)は、半導体装置5を製造する実施態様例を模式的に示したもので、まず、ボンディングパッド8bが、パッシベーション膜の一部が除かれた領域に形成された第2の半導体チップ5bを用意し、この第2の半導体チップ5bの、前記ボンディングパッド8b形成面に、ボンディングパッド8b面を露出させて、たとえばポリイミド樹脂層9bを設ける。こ

のポリイミド樹脂層9bの形成は、たとえばポリイミド前駆体 UR-3140（東レ製、商品名）を全面にスピンコートした後、露光し、現像液 DV505（東レ製、商品名）により現像して、ボンディングパッド8b面を開口してから、400℃程度の温度で加熱してポリイミド前駆体 UR-3140枚をポリイミド化させる（図2(a)）。

【0013】次いで、前記で形成したポリイミド樹脂層9b面上に、Al/Ti層を蒸着・形成した後、そのAl/Ti層面上にエッチングレジスト OFPR-800（東京応化社）スピンコートし、アブリベーク、露光、現像を順次行い前記ボンディングパッド8bに接続するエッチングレジストパターンを形成する。このように、エッチングレジストパターンを形成した後、リン酸/酢酸/硝酸の混合液でAlを、EDTA/NH₃ / H₂ O₂ でTiをと順次選択エッチングしてから、前記エッチングレジストパターンを成す OFPR-800 層を除去して、第2の配線パターン 10bを形成する（図2(b)）。

【0014】前記第2の配線パターン 10bを形成した面上に、ポリイミド樹脂層9cを前記の場合と同様に、第2のボンディングパッド 11aに相当する部分を除いて形成する（図2(c)）。前記ポリイミド樹脂層9cを形成した面上に、たとえばTi/Cu層13を蒸着によって形成する（図2(d)）。次いで、前記形成したTi/Cu層12面上に、厚膜レジスト AZ 4903（ヘキストジャパン社製）をスピンコートして、膜厚 500μm 程度のレジスト層13を形成し、露光、現像を順次行って 100μm 口の開口を有するボンディングパッド9bよりも、一辺が20μm 小さい80μmの開口部14を形成する（図2(e)）。前記マスキングした後、硫酸銅250g/l、硫酸（比重1.84）50g/lから成る溶液に浸漬して、浴温度25℃に設定し、前記Ti/Cu層12を陰極、高純度銅を陽極として、電流密度 5A/dm² を印加して緩やかに攪拌しながら銅を 450μm メッキする。その後、全スズ40 g/l、第1スズ35 g/l、鉛44 g/l、遊離ホウ酸40 g/l、ホウ酸25 g/l、ニカワ3.0g/lから成るメッキ浴を用い、前記Ti/Cu層12を陰極、40%スズを陽極として、電流密度 3.2A/dm² を印加して緩やかに攪拌しながらスズ/鉛=40/60の合金を50μm 連続メッキ（図2(f)）して、第2のバンパ6bを形成する。

【0015】前記により第2のバンパ6bを形成した後、メッキレジスト膜を成していた厚膜レジスト AZ 4903層13を、たとえばアセトンで溶解除去してから（図2(g)）、前記スズ/鉛（第2のバンパ）6bをエッチングマスクとして、過硫酸アンモニウム/硫酸/エタノールから成る溶液で、露出した前記Cu層をエッチング後、さらにEDTA、アンモニア、過酸化水素から成る溶液で、露出した前記Ti層をエッチングして、その後レジストOFPR層9cをアセトンで溶解除去する（図2(h)）。

【0016】一方、第1の半導体チップ5aも前記に準じた操作で構成される。すなわち、ボンディングパッド8aが、パッシベーション膜の一部が除かれた領域に形成さ

れた第1の半導体チップ5aを用意する。ここで、第1の半導体チップ5aとしては、その形状、大きさが前記第2の半導体チップ5bのバンパ電極6b領域内に収納・配置し得るものである。この第1の半導体チップ5aの、前記ボンディングパッド8a形成面に、ボンディングパッド8a面を露出させてポリイミド樹脂層9aを設け、このポリイミド樹脂層9b面上に、Cu/Ti層を蒸着・形成する。その後、前記Cu/Ti層面上に厚膜レジストAZ 4903（ヘキストジャパン社製）をスピンコートして、膜厚50 μ m程度のレジスト層を形成し、露光、現像を順次行い、前記ボンディングパッド8a面に対応した領域を、たとえばボンディングパッド8aの大きさ80 μ m \square よりも、一辺が20 μ m小さい60 μ m \square に開口させる。このようにマスキングした後、硫酸銅250g/l、硫酸（比重1.84）50g/lから成る溶液に浸漬して、浴温度25 $^{\circ}$ Cに設定し、前記Ti/Cu層を陰極、高純度銅を陽極として、電流密度5A/dm²を印加して緩やかに攪拌しながら銅を40 μ mメッキする。その後、全スズ40 g/l、第1スズ35g/l、鉛44 g/l、遊離ホウ酸40 g/l、ホウ酸25 g/l、ニカワ3.0g/lから成るメッキ浴を用い、前記Ti/Cu層を陰極、40%スズを陽極として、電流密度3.2A/dm²を印加して緩やかに攪拌しながらスズ/鉛=40/60の合金を10 μ m連続メッキして、所要のバンパ電極6aを形成する。

【0017】前記によりバンパ電極6aを形成した後、メッキレジスト膜を成していた厚膜レジストAZ 4903層を、たとえばアセトンで溶解除去してから、前記スズ/鉛（第1のバンパ）6aをエッチングマスクとして、過硫酸アンモニウム/硫酸/エタノールから成る溶液で、露出した前記Cu層をエッチング後、さらにEDTA、アンモニア、過酸化水素から成る溶液で、露出した前記Ti層をエッチングして、その後レジストOFPR層をアセトンで溶解除去し、第1の半導体チップ5aを得る。

【0018】さらに、前記第1の半導体チップ5aおよび第2の半導体チップ5bの製造工程に準じて、第3の半導体チップ5cを製造する。この第3の半導体チップ5cの構成においては、第3の半導体チップ5cとしてその形状、大きさが、前記第2の半導体チップ5bを、突設するバンパ電極6cの領域内に収納・配置し得るものであり、またその能動素子領域7c面に、前記第2の半導体チップ5bのバンパ電極6bが接続される第3のボンディングパッド11bが形成される。さらに、前記突設するバンパ電極6cの高さも、前記第2の半導体チップ5bをバンパ電極6cの領域内に内装（内蔵）する形で収納・配置し得るような高さ、すなわち第2の半導体チップ5bの厚さおよびそのバンパ電極6bの高さとの和以上に設定される。

【0019】次に、前記能動素子領域7b上に所要のバンパ電極6bおよび第2ボンディングパッド11aが設けられている第2の半導体チップ5b上へ、この第2の半導体チップ5bに対して、第1の半導体チップ5aをフェースダウンの位置関係に保ちながら、第1の半導体チップ5aのバン

パ電極6aを、第2の半導体チップ5bの第2ボンディングパッド11aにハーフミラーを用いて位置合わせし、これらバンパ電極6aおよび第2ボンディングパッド11aに対接させる。なお、この工程においては、前記バンパ電極6aおよび第2ボンディングパッド11aが対接する面に、予め共晶半田層を介在させてあり、また第1の半導体チップ5aを加熱機構付けのコレットに保持して前記操作を行っている。そして、前記第1の半導体チップ5aのバンパ電極6aと第2の半導体チップ5bの第2ボンディングパッド11aとを対接させた状態で、たとえば窒素雰囲気中、280 $^{\circ}$ C程度に加熱することによって両者を電気的に接続する（図2(i)）。

【0020】前記により第2の半導体チップ5bに、第1の半導体チップ5aをフリップチップ実装した後、この第1の半導体チップ5aを実装させた第2の半導体チップ5bを、前記実装手段に準じて、さらに第3の半導体チップ5cにフリップチップ実装する（図2(j)）することによって、本発明に係る半導体装置が構成される。

【0021】前記構成において、第1の半導体チップ5aを3mm \square 、第2の半導体チップ5bを4mm \square 、第1の半導体チップ5cを5mm \square にそれぞれ設定して成る半導体装置を、配線基板面に実装して実装回路装置を構成したところ、従来のワイヤボンディング方式で構成した実装回路装置の場合に比べて実装密度が5倍、またTAB方式で構成した実装回路装置の場合に比べて実装密度が4倍にそれぞれ向上していた。さらに、半導体装置の熱抵抗を評価したところ、5mm \square のチップで自然冷却により20 $^{\circ}$ C/Wであり、ワイヤボンディング方式で積層した構成の場合（図7参照）の40 $^{\circ}$ C/Wに対して2倍の放熱特性を示した。また、図1に示す構成にフリップチップ実装した実装回路装置について、-55 $^{\circ}$ C(30 min)~25 $^{\circ}$ C(5 min)~150 $^{\circ}$ C(30 min)~25 $^{\circ}$ C(5 min)の温度サイクル試験（1000サイクル）を行なった結果、接続抵抗の増加は認められず、機能面でも高い信頼性を示した。

【0022】図3は本発明に係る半導体装置の他の要部構成例を断面的に示したもので、この構成においては、配線基板の代わりにガラス基板3'面に、CCDチップ15aをドライバーIC15bのバンパ電極16bの領域内に内装する形で、CCDチップ15aおよびドライバーIC15bをそれぞれフリップチップ実装した構成を採っている。この半導体装置の場合は、ガラス基板3'を通して受光した信号をドライバーIC15bで制御できるため、従来のたとえばフレキシブル基板を用いた構成の場合に比べて、電子機器のコンパクト化も可能となった。

【0023】さらに、図4は本発明に係る半導体装置の別の要部構成例を斜視的に示したもので、この構成例においては、第3の半導体チップ5c面上に第1の半導体チップ5aが複数個フリップチップ実装している。図4において、8cはその上面に第3のバンパ電極6cが設けられる第3のボンディングパッド、11bは第2の半導体チップ5b

のバンプ電極6bなどが接続する第2のボンディングパッドである。この構成の場合は、半導体装置における半導体チップの高密度化が可能で、また第3の半導体チップ5c面に、たとえばチップ抵抗、チップコンデンサ、薄膜抵抗、薄膜コンデンサなども併せて実装し易い。

【0024】さらにまた、図5は本発明に係る半導体装置の異なる要部構成例を斜視的に示したもので、この構成例においては、たとえば第3の半導体チップ5c面上に、第1の半導体チップ5aを交差させた形でフリップチップ実装している。つまり、本発明に係る半導体装置においては、半導体チップ5a、5b、5cなどの形状に応じて（半導体チップの形状が制約されることなく）、任意な向きに（向きを揃えずに）フリップチップ実装した構成を採り得る。

【0025】なお、本発明は前記実施例に限定されるものでなく、その要旨を逸脱しない範囲で変更して実施し得る。たとえば、バンプ電極の形成はCuの他Au、Pd、Pt、Niなどで行ってもよく、またバンプ電極の形成時の電気メッキで陰極を成す導電性層もCu/Tiに限定されないし、さらに多段的にフリップチップ実装する半導体チップ数も、前記例示に限定されないことは勿論である。

【0026】

【発明の効果】本発明に係る半導体装置よれば、従来のフリップチップ実装によって半導体実装回路装置を構成する場合に比べて、配線基板面を立体的に利用し得るため、高密度実装回路装置の実現が可能となる。しかも、この高密度化達成に当たり、従来知られている方式に比べて複雑な作業なども要せずに、信頼性の高い電気的な接続を達成し得るとともに、一方では良好な放熱性を呈するので、信頼性の高い、かつ高密度実装回路装置の構成を容易に図り得る。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の要部構成例を示す断面図。

【図2】本発明に係る半導体装置を製造する実施態様例を模式的に示すもので、(a)は半導体チップ面に絶縁層

を形成した状態を示す断面図、(b)は絶縁層上に配線パターンを形成した状態を示す断面図、(c)は第2のボンディングパッドを形成した状態を示す断面図、(d)はメッキ用の導電層を形成した状態を示す断面図、(e)はメッキレジスト膜をパターンニングした状態を示す断面図、(f)はバンプ電極をメッキ形成した状態を示す断面図、(g)はメッキレジスト膜を除去した状態を示す断面図、(h)は第2のボンディングパッドを形成した状態を示す断面図、(i)は第2の半導体チップ面に第1の半導体チップをフリップチップ実装した状態を示す断面図、(j)は半導体装置の断面図。

【図3】本発明に係る半導体装置の他の要部構成例を示す断面図。

【図4】本発明に係る半導体装置の別の要部構成例を示す断面図。

【図5】本発明に係る半導体装置の別の要部構成例を示す断面図。

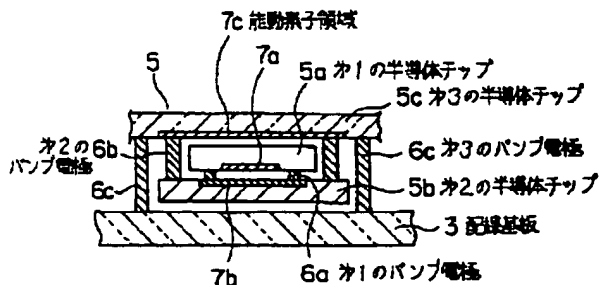
【図6】従来の半導体装置を配線基板面に実装した態様を示す断面図。

【図7】従来の半導体装置を配線基板面に実装した他の態様を示す断面図。

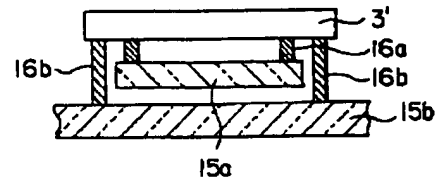
【符号の説明】

1a, 1b, 1c…半導体チップ 2a, 2b, 2c…ボンディングパッド 3…配線基板 3'…ガラス基板 4…ボンディングワイヤ 5…半導体装置 5a…第1の半導体チップ 5b…第2の半導体チップ 5c…第3の半導体チップ 6a…第1のバンプ電極 6b…第2のバンプ電極 6c…第3のバンプ電極 7a, 7b, 7c…能動素子領域 8a, 8b, 8c…ボンディングパッド 9a, 9b, 9c…ポリイミド樹脂層 10a…配線パターン 11a, 11b…第2のボンディングパッド 12…Ti/Cu層 13…レジスト層 14…開口部 15a…CCDチップ 15b…ドライバーIC 16a…CCDチップのバンプ電極 16b…ドライバーICのバンプ電極

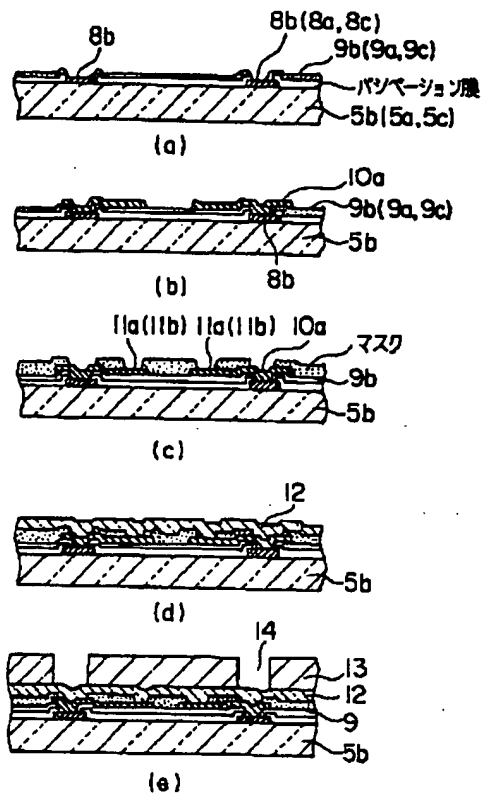
【図1】



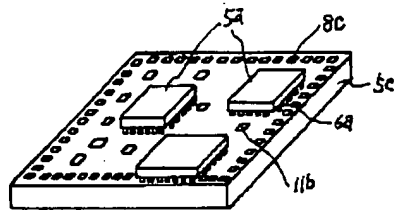
【図3】



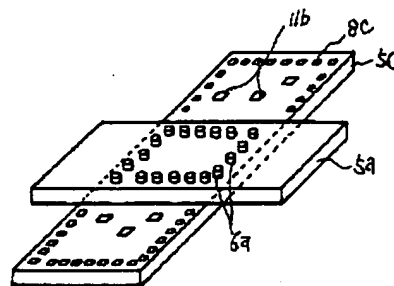
【図2】



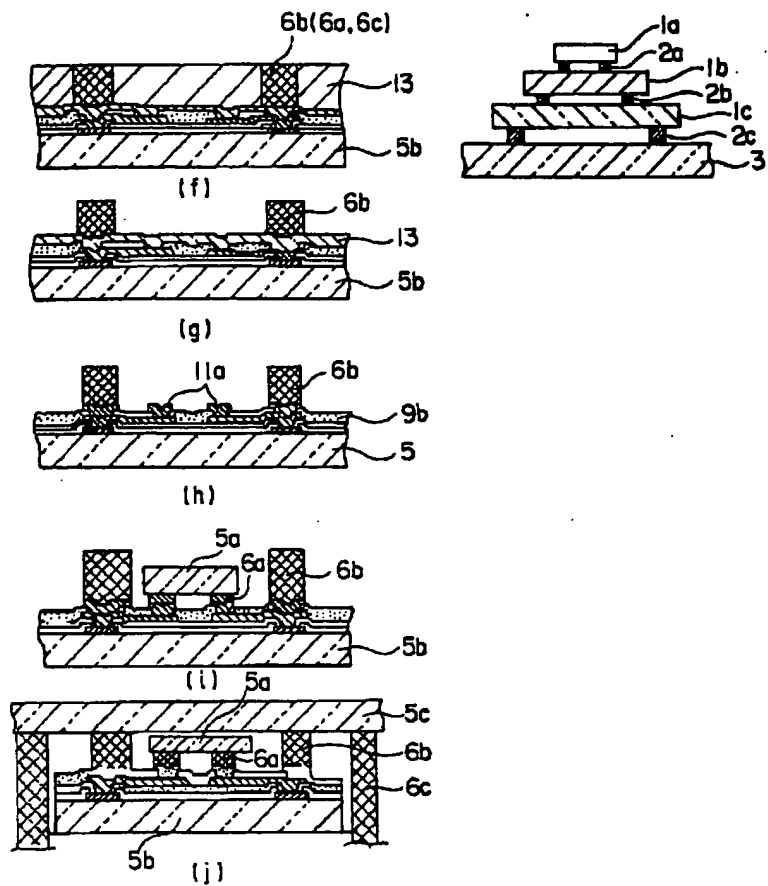
【図4】



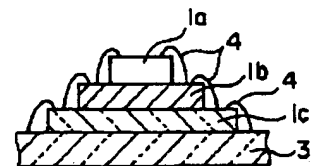
【図5】



【図6】



【図7】



【手続補正書】

【提出日】平成5年10月20日

【手続補正1】

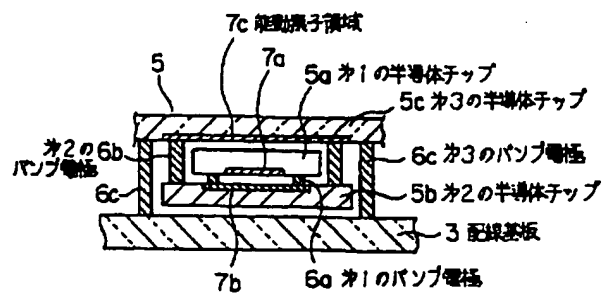
【補正対象書類名】図面

【補正対象項目名】全図

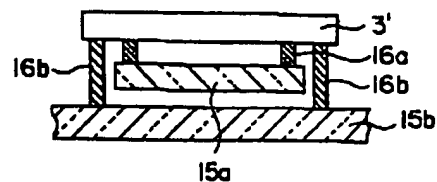
【補正方法】変更

【補正内容】

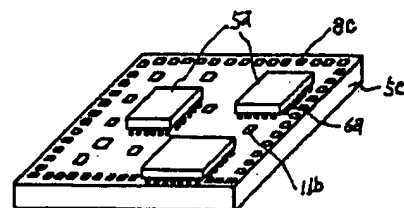
【図1】



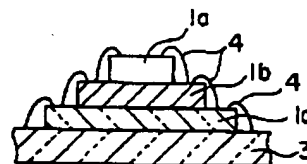
【図3】



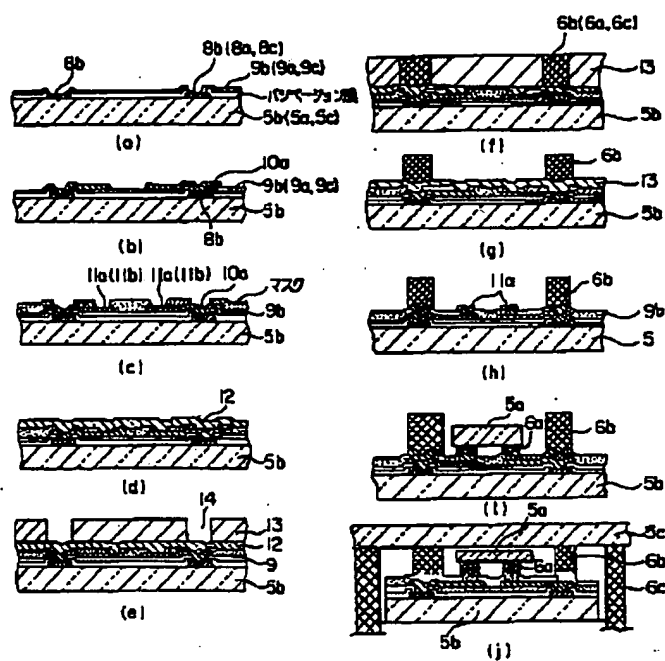
【図4】



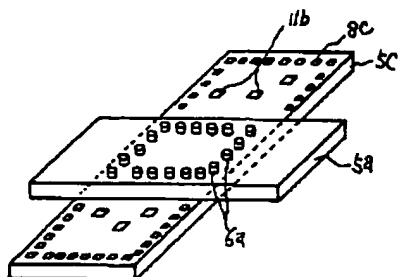
【図7】



【図2】



【図5】



【図6】

